

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-151782

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 04-295759

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 05.11.1992

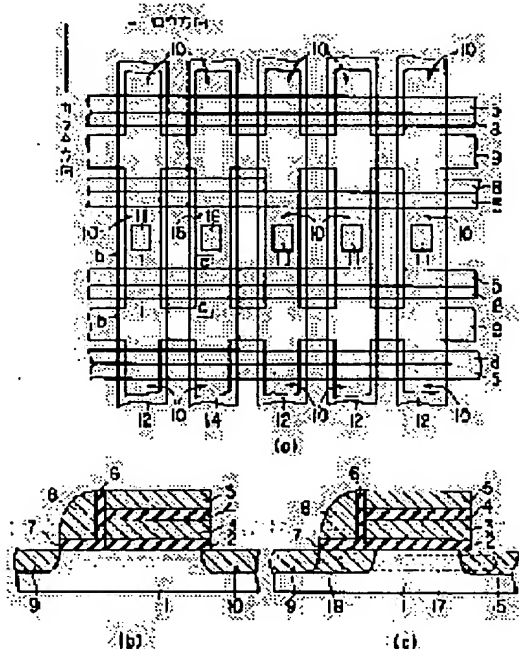
(72)Inventor : NARUGE KIYOMI
SUZUKI TOMOKO

(54) NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To provide a non-volatile semiconductor memory with an SISOS type cell capable of diminishing the chip size while obviating the defective opening of a sidewall gate and the dispersion in the resistance values.

CONSTITUTION: A stacked gate part composed of a floating gate 3 and a control gate 5 is linearly formed so that selective gates 8 may be linearly formed on the sidewall of the stacked gate part. Besides, a semiconductor region 15 is formed between mutual drain regions 11 to form a source contact hole on this region 15 so that this hole may be arranged on substantially the same line as that of a drain contact hole. In such a constitution, the selective gates 8 can be made linear thereby enabling the defective opening and the dispersion in the resistance values to be obviated. Furthermore, within the source region 9, the allowance part for the formation of the contact hole can be eliminated thereby enabling the chip size to be diminished.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

Best Available Copy

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor substrate of the 1st conductivity type, and the 1st insulator layer formed on this semi-conductor substrate front face, The floating gate prepared on this 1st insulator layer, and the 2nd insulator layer prepared on this floating gate, The control gate where it is prepared on this 2nd insulator layer, and the gate edge by the side of the source and a drain serves as said floating gate and self align, respectively, The selector gate from which it is prepared through the 4th insulator layer formed on said semi-conductor substrate front face through the 3rd insulator layer formed in the side attachment wall by the side of the source of said floating gate and the control gate, and the gate edge serves as a floating gate and self align, The source field where it is formed in said semi-conductor

substrate, and the field edge serves as said selector-gate edge and self align, The memory cell which consists of drain fields in which it is formed in said semi-conductor substrate, and the field edge serves as said floating-gate edge and self align two or more Said source field which was respectively communalized in the direction of a low, and the direction of a column, and was formed in them by the memory cell which possessed the memory cell array arranged in the shape of a matrix, and has been arranged in said direction of a low, Said control gate which was respectively communalized by the memory cell arranged in said direction of a low, and was formed in the shape of a straight line, Said selector gate which was respectively communalized by the memory cell arranged in said direction of a low, and was formed in the shape of a straight line, The drain wiring group which was communalized respectively and formed by the memory cell which was electrically connected to said drain field through the 1st contact holes, and has been arranged in said direction of a column, The semiconductor region of the 2nd conductivity type formed in the field across which said 1st contact holes faced, The source wiring electrically connected to said semiconductor region through the 2nd contact hole, The non-volatile semiconductor memory characterized by providing the field-effect transistor which consists of said control gate which

connects said source field and said semiconductor region electrically, said floating gate, and said selector gate.

[Claim 2] Said field-effect transistor is a non-volatile semiconductor memory according to claim 1 characterized by considering as the depletion type.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the cel of EEPROM in which writing and elimination are possible electrically especially with respect to a non-volatile semiconductor memory.

[0002]

[Description of the Prior Art] Drawing 2 (a) is the sectional view of the conventional SISOS (Side wall Select gate On Source side) mold EEPROM cel.

[0003] As shown in drawing 2 (a), on the front face of the P type silicon substrate 101, the 1st oxide film (gate oxide) 102 is formed. The floating gate 103 is formed on this 1st oxide film 102. The 2nd oxide film 104 is formed on this floating gate 103. On this 2nd oxide film 104, the control gate 105 where the gate edge by the side of the source and a drain serves as a floating gate 103 and self align, respectively is formed. The 3rd oxide film

106 is formed in the side attachment wall by the side of the source of a floating gate 103 and the control gate 105, and the 4th oxide film 107 is formed on the front face of a substrate 101. On these 3rd oxide films 106 and the 4th oxide film 107, the selector gate 108 from which the gate edge serves as a floating gate 103 and self align is formed. In the substrate 101, the source field 109 where the field edge serves as selector gate 108 edge and self align, and the drain field 110 where the field edge serves as floating gate 103 edge and self align are formed. Next, actuation of the above-mentioned SISOS cel is explained.

[0004] A hot electron is poured in from a source side to a floating gate by impressing the electrical potential difference of threshold extent, 1.5V [for example,], to a selector gate 108, impressing a program electrical potential difference, 12V [for example,], to the control gate 105, and impressing supply voltage, 5V [for example,], to a drain 110 at the time of writing.

[0005] At the time of elimination, it grounds, and a selector gate 108 and the control gate 105 make the source 109 an opening condition, they are impressing blanking voltage, 12V [for example,], to a drain 110, and draw out an electron from a floating gate 103 with a F-N tunnel to the drain diffusion layer 110.

[0006] It carries out by impressing 5V to a selector gate 108 and the control gate

105, reading to a drain 110, impressing an electrical potential difference, 1V [for example,], and investigating the existence of channel current at the time of read-out. Drawing 2 (b) is the conventional pattern top view. The a-a line in this drawing 2 (b) shows the cross-section section of drawing 2 (a).

[0007] As shown in drawing 2 (b), on the substrate, two or more SISOS cels are arranged in the shape of a matrix. The source field 109 is stood in a row and formed in the direction of a line (row), and is communalized by the memory cell which adjoins a line writing direction. The control gate is prepared together with the same direction as the source field 109, and 105 is communalized by the memory cell of the same line. A selector gate 108 is formed together with the same direction as the control gate 105, and is communalized by the memory cell

of the same line. The drain field 110 is formed together with the direction of a train (column), i.e., the direction at which the source field 109 is crossed, and is electrically connected to the drain wiring (bit line) 112 through the drain contact hole 111. The drain wiring 112 is communalized by the memory cell of the same train. The reference mark 113 shows the source contact hole, and source wiring 114 is electrically connected to the source field 109 through the source contact hole 113.

[0008] Selection of writing, elimination,

and read-out of the SISOS cel arranged in the shape of a matrix is performed by choosing 1 of the control gate 105, 1 of a selector gate 108, and 1 of the drain wiring 112, respectively. Next, the manufacture approach of a SISOS cel is explained with reference to drawing 3 (a) - (e). Drawing 3 (a) - (e) is the sectional view having shown the SISOS cel for every main production processes, respectively.

[0009] first, it is shown in drawing 3 (a) -- as -- the P type silicon substrate 101 (resistance: 10 ohm·cm) top of crystal orientation (100) -- the usual LOCOS -- field oxide (not shown) is formed by law and let the part surrounded by this field oxide be a component field. Then, the sacrifice oxide film 120 is formed in the front face of this silicon substrate 101 by the thickness of about 100Å by the oxidizing [thermally] method. Then, it lets this sacrifice oxide film 120 pass, and the channel ion 121 for threshold control is poured in.

[0010] Next, as shown in drawing 3 (b), etching removal of the sacrifice oxide film 120 is carried out using NH₄F liquid, and the 1st gate oxide 102 is formed by the thickness of about 100Å by the oxidizing [thermally] method. then, this 1st gate oxide 102 top -- LPCVD -- the 1st polish recon layer 103 is deposited by the thickness of about 1000Å as boil law. And into this 1st polish recon layer 103, it is POCl₃. Lynn is diffused by the

gaseous-phase diffusion method. Furthermore, predetermined resist patterning and etching are performed and the cel slit (not shown) for dividing a floating gate into the 1st polish recon layer 103 for every cel is formed. And the polish recon oxide film 104 between layers is formed by the thickness of about 300A by the oxidizing [thermally] method. then, this polish recon oxide-film 104 top between layers -- LPCVD -- the 2nd polish recon layer 105 is deposited by the thickness of about 4000A by law. And into this 2nd polish recon layer 105, it is POCl_3 . Lynn is diffused by the gaseous-phase diffusion method.

[0011] Next, as shown in drawing 3 (c), to each class of the 1st polish recon layer 103, the polish recon oxide film 104 between layers, and the 2nd polish recon layer 105, resist patterning and anisotropic etching are performed and it

leaves only a part required as a cel.

Furthermore, after performing resist patterning, the ion implantation of 40KeV(s), $7 \times 10^{15} \text{cm}^{-2}$, and the phosphorus ion is carried out for arsenic ion to silicon substrate 101 front face on condition that 40KeV(s) and $1 \times 10^{14} \text{cm}^{-2}$, and the 1st impurity range 110 is formed. Then, the 2nd gate oxide 107 with a thickness of 300A and the side-attachment-wall polish recon oxide film 410 with a thickness of 600A are formed in coincidence by the oxidizing [thermally] method. Furthermore, by

the LPCVD method, the 3rd polish recon layer 108 is deposited and thermal diffusion of Lynn is carried out to this.

[0012] Next, as shown in drawing 3 (d), etching removal of the 3rd polish recon layer 108 is carried out by whole surface anisotropic etching, and it leaves only the part of the 3rd polish recon layers 108a and 108b which hit the side attachment wall of the laminating parts of the 1st polish recon layer 103 and the 2nd polish recon layer 105.

[0013] Next, as shown in drawing 3 (e), resist patterning and polish recon etching remove 3rd polish recon layer 108b. Then, after performing resist patterning, the ion implantation of the arsenic ion is carried out to silicon substrate 101 front face on condition that 40KeV(s) and $5 \times 10^{15} \text{cm}^{-2}$, and the 2nd impurity range 109 is formed. In addition, by heat treatment in the above process, the impurity of the 1st impurity range 110 carries out thermal diffusion, and the 1st impurity range 110 is extended in the direction of the gate.

[0014] then -- especially, although not illustrated, pass many processes, such as deposition of deposition and patterning of deposition of an interlayer insulation film, puncturing of a contact hole, and an aluminum wiring layer, and a protective layer, to be known well -- the non-volatile semiconductor memory possessing the EEPROM cel of a SISOS mold is completed.

[0015]

[Problem(s) to be Solved by the Invention] However, the SUTAKKUTO gate section which consists of a floating gate 103 and the control gate 105 as it is the non-volatile semiconductor memory of the above-mentioned configuration curves in the part of the source contact hole 113. For this reason, the side-attachment-wall gate (selector gate 108) formed in self align to the SUTAKKUTO gate section comes to curve according to the above-mentioned curve section, and problems, such as poor opening of the side-attachment-wall gate and variation of resistance, occur. For this reason, there was a trouble of reducing the dependability of storage, and barring high integration of storage since that superficial area of the source contact hole 113 is large.

[0016] It is in offering the non-volatile

~~semiconductor memory possessing the~~ SISOS mold cel which succeeded in this invention in view of the above points, and that purpose can reduce a chip size, and does not have reduction of poor opening of the side-attachment-wall gate, and the variation of resistance.

[0017]

[Means for Solving the Problem] The non-volatile semiconductor memory concerning this invention has the memory cell array by which two or more SISOS mold cels are arranged in the shape of a matrix in the direction of a low,

and the direction of a column. And the source field which was communalized respectively and formed in this memory cell array by the memory cell arranged in the direction of a low, The control gate which was respectively communalized by the memory cell arranged in the direction of a low, and was formed in the shape of a straight line, The selector gate which was respectively communalized by the memory cell arranged in the direction of a low, and was formed in the shape of a straight line, The drain wiring group which was communalized respectively and formed by the memory cell which was electrically connected to the drain field of a cel through the 1st contact holes, and has been arranged in the direction of a column, The semiconductor region of the 2nd conductivity type formed in the field across which the 1st contact holes faced, It is characterized by providing the

~~field-effect transistor which consists of~~ said control gate which connects electrically the source wiring electrically connected to the semiconductor region through the 2nd contact hole, and a source field and said semiconductor region, said floating gate, and said selector gate.

[0018]

[Function] According to the non-volatile semiconductor memory of the above-mentioned configuration, the 2nd contact hole as source contact can be put in order and formed on the same straight

line as the 1st contact holes as drain contact. For this reason, conventionally, the curve section of the SUTAKKUTO gate section in the part of source contact can be canceled, and especially a selector gate can be formed with the shape of a straight line. Therefore, poor opening of a selector gate and the problem of the variation in resistance can be controlled, and the dependability of storage comes to improve. moreover, if the 2nd contact hole as source contact is put in order, come out of and formed on the same straight line as the 1st contact holes as drain contact, in a source field, the need of preparing the allowances part for contact hole formation will be lost. For this reason, the improvement in a degree of integration of a cel and contraction of a chip size are possible.

[0019]

[Example] Hereafter, example explains

this invention. In this explanation, explanation which overlaps by giving the same reference mark to the same part over a complete diagram is given to avoid.

[0020] Drawing 1 is drawing showing the non-volatile semiconductor memory possessing the SISOS mold EEPROM cel concerning example of this invention, and the sectional view where (a) meets a pattern top view and (b) meets the b-b line in the (a) Fig., and (c) are sectional views which meet the c-c line in the (a) Fig.

[0021] As first shown in drawing 1 (b), on

the front face of the P type silicon substrate 1, the 1st oxide film (gate oxide) 2 is formed. The floating gate 3 is formed on this 1st oxide film 2. The 2nd oxide film 4 is formed on this floating gate 3. On this 2nd oxide film 4, the control gate 5 where the gate edge by the side of the source and a drain serves as a floating gate 3 and self align, respectively is formed. The 3rd oxide film 6 is formed in the side attachment wall by the side of the source of a floating gate 3 and the control gate 5, and the 4th oxide film 7 is formed on the front face of a substrate 1. On these 3rd oxide films 6 and the 4th oxide film 7, the selector gate 8 from which the gate edge serves as a floating gate 3 and self align is formed. In the substrate 1, the source field 9 where the field edge serves as selector-gate 8 edge and self align, and the drain field 10 where the field edge serves as

floating-gate 3 edge and self-align are formed.

[0022] As shown in drawing 1 (a), two or more memory cells shown on a substrate at drawing 1 (b) are arranged in the shape of a matrix. The source field 9 is stood in a row and formed in the direction of a line (low), and is communalized by the memory cell which adjoins a line writing direction. The control gate is prepared together with the same direction as the source field 9, and 5 is communalized by the memory cell of the same line. A selector gate 8 is formed

together with the same direction as the control gate 5, and is communalized by the memory cell of the same line. The drain field 10 is formed together with the direction of a train (column), i.e., the direction at which the source field 9 is crossed, and is electrically connected to the drain wiring (bit line) 12 through the drain contact hole 11. The drain wiring 12 is communalized by the memory cell of the same train. And the N type impurity diffused layer 15 is formed in the field across which it faced with the drain contact hole 11. The flat-surface pattern of a diffusion layer 15 is the same configuration mostly with it of the drain field 10. The diffusion layer 15 is connected to source wiring 14 through the source contact hole 16. This source wiring 14 is formed together with the same direction as the drain wiring 12. The diffusion layer 15 is electrically

connected with the source field 9 through the transistor (a cel type transistor is called below) which has the cross-section structure shown in drawing 1 (c).

[0023] As shown in drawing 1 (c), the cel type transistor has a memory cell shown in drawing 1 (b), and similar structure. However, since float going up of a source level may arise when a cel type transistor serves as an enhancement type, even if it is in the condition that the electron was poured into the floating gate 3, as it became a depletion type, the relief of a source level is prevented.

[0024] As a cel type transistor is shown in drawing 1 (c) as an example used as a depletion type, an N type impurity is poured into the channel field of a cel type transistor, the N type impurity impregnation layer 17 is formed, an N type impurity is injected into the front face of the substrate 1 which exists in the both sides of the SUTAKKUTO gate section further, the N type impurity impregnation layers 15 and 18 are formed, and it pushes in into a channel by subsequent heat treatment. Moreover, the formation process of the N type impurity impregnation layers 15 and 18 which can perform the formation process of the N type impurity impregnation layer 17 to a channel field to the impurity impregnation process and coincidence to a depression mold transistor of the circumference circuit section, and exist in the both sides of the SUTAKKUTO gate section can be performed to the impurity impregnation process and coincidence to a drain field of a cel. For this reason, there is no increment in the production process by making a cel type transistor.

[0025] The source contact hole 16 is formed together with the same straight-line top as the drain contact hole 11 as it is the non-volatile semiconductor memory of the above-mentioned configuration, and the SUTAKKUTO gate section which changes at a floating gate 3 and the control gate 5 is formed in the shape of a straight line. Since the

configuration of a selector gate 8 is formed in the side attachment wall of the straight-line-like SUTAKKUTO gate section by self align, it becomes straight line-like. Since it is hard to generate poor opening and change of the cross-sectional area etc. is canceled, the variation in resistance of the straight-line-like selector gate 8 is also lost. Therefore, the dependability of storage can be raised. The source contact hole 16 is formed in the control gate 8 and the field between eight together with the same straight-line top as the drain contact hole 11, and the allowances part for contact hole formation is lost in the source field 9. Thus, in the above-mentioned example, a memory cell can be efficiently arranged to a cel array field, therefore improvement in a degree of integration of a cel and contraction of a chip size can be realized.

[0026]

[Effect of the Invention] As explained above, according to this invention, it is in offering the non-volatile semiconductor memory possessing the SISOS mold cel which can reduce a chip size and does not have reduction of poor opening of the side-attachment-wall gate, and the variation of resistance.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] (c) is the sectional view where drawing 1 is drawing showing the non-volatile semiconductor memory concerning example of this invention, (a) meets a pattern top view and (b) meets the b-b line in the (a) Fig., and a sectional view which meets the c-c line in the (a) Fig.

[Drawing 2] Drawing 2 is drawing showing the conventional non-volatile semiconductor memory, (a) is a sectional view and (b) is a pattern top view.

[Drawing 3] Drawing 3 is drawing showing the manufacture approach of the cel of a SISOS mold, and (a) - (e) is a sectional view for every respectively main processes.

[Description of Notations]

1 -- A P-type silicon substrate, 2 -- The 1st oxide film (gate oxide), 3 -- Floating-gate, 4 [-- The 4th oxide film,] -- The 2nd oxide film, 5 -- The control gate, 6 -- The 3rd oxide film, 7 8 -- A selector gate (side-attachment-wall gate), 9 -- A source field, 10 -- Drain field, 11 [-- An N type impurity impregnation layer, 16 / -- A source contact hole, 17 / -- An N type impurity impregnation layer, 18 / -- N type impurity impregnation layer] -- A drain contact hole, 12 -- Drain wiring (bit line), 14 -- Source wiring, 15

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-151782

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115

29/788

29/792

7210-4M

H 0 1 L 27/ 10

4 3 4

29/ 78

3 7 1

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号

特願平4-295759

(22)出願日

平成4年(1992)11月5日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 成毛 清実

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 鈴木 朋子

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

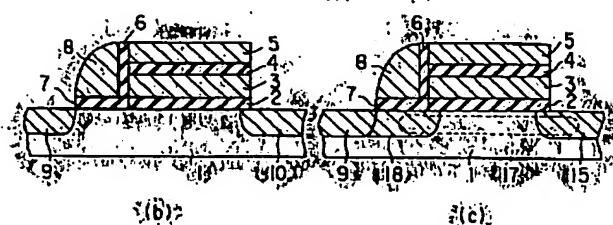
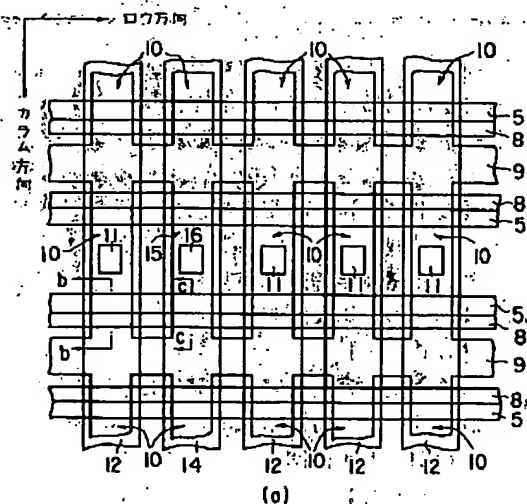
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】この発明は、チップ・サイズを縮小でき、かつ側壁ゲートのオープン不良の低減、及び抵抗値のバラツキのないSISOS型セルを具備する不揮発性半導体記憶装置を提供しようとするものである。

【構成】浮遊ゲート3、制御ゲート5で構成されるスタックト・ゲート部を直線状に形成し、スタックト・ゲート部の側壁に形成される選択ゲート8が直線状に形成されるようにする。また、ドレイン領域11の相互間に半導体領域15を形成し、この領域15上にソース・コンタクト孔16を形成してソース・コンタクト孔16をドレイン・コンタクト孔11と実質的に同一の直線上に配置する。この構成によれば、選択ゲート8が直線状となりオープン不良や、抵抗値のバラツキを無くせる。また、ソース領域9において、コンタクト孔形成のための余裕部分を無くすることができ、チップ・サイズを縮小できる。



(2)

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、この半導体基板表面上に形成された第1の絶縁膜と、この第1の絶縁膜上に設けられた浮遊ゲートと、この浮遊ゲート上に設けられた第2の絶縁膜と、この第2の絶縁膜上に設けられ、ソース側およびドレイン側のゲート端がそれぞれ前記浮遊ゲートと自己整合となっている制御ゲートと、前記浮遊ゲートおよび制御ゲートのソース側の側壁に形成された第3の絶縁膜を介し、且つ前記半導体基板表面上に形成された第4絶縁膜を介して設けられ、ゲート端が浮遊ゲートと自己整合となっている選択ゲートと、前記半導体基板内に形成され、その領域端が前記選択ゲート端と自己整合となっているソース領域と、前記半導体基板内に形成され、その領域端が前記浮遊ゲート端と自己整合となっているドレイン領域とで構成されるメモリセルが複数個、ロウ方向およびカラム方向にマトリクス状に配置されているメモリセルアレイを具備し、

前記ロウ方向に配置されたメモリセルでおのおの共通化されて形成された前記ソース領域と、

前記ロウ方向に配置されたメモリセルでおのおの共通化されて直線状に形成された前記制御ゲートと、

前記ロウ方向に配置されたメモリセルでおのおの共通化されて直線状に形成された前記選択ゲートと、

第1のコンタクト孔群を介して前記ドレイン領域に電気的に接続され、且つ前記カラム方向に配置されたメモリセルでおのおの共通化されて形成されたドレイン配線群と、

前記第1のコンタクト孔群により挟まれた領域に形成された第2導電型の半導体領域と、

第2のコンタクト孔を介して前記半導体領域に電気的に接続されたソース配線と、

前記ソース領域と前記半導体領域とを電気的に接続する、前記制御ゲート、前記浮遊ゲートおよび前記選択ゲートとで構成される電界効果トランジスタとを具備することを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記電界効果トランジスタは、デプレッション型とされていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体記憶装置に係わり、特に電気的に書き込み・消去可能なEEPROMのセルに関する。

【0002】

【従来の技術】 図2(a)は従来のSISOS(Side wall Select gate On Source side)型EEPROMセルの断面図である。

【0003】 図2(a)に示すように、P型シリコン基板101の表面上には第1の酸化膜(ゲート酸化膜)102が形成されている。この第1の酸化膜102上には

浮遊ゲート103が形成されている。この浮遊ゲート103上には第2の酸化膜104が形成されている。この第2の酸化膜104上にはソース側およびドレイン側のゲート端がそれぞれ浮遊ゲート103と自己整合となっている制御ゲート105が形成されている。浮遊ゲート103および制御ゲート105のソース側の側壁には第3の酸化膜106が形成され、また基板101の表面上には第4の酸化膜107が形成されている。これら第3の酸化膜106および第4の酸化膜107上には、ゲート端が浮遊ゲート103と自己整合となっている選択ゲート108が形成されている。基板101内には、領域端が選択ゲート108端と自己整合となっているソース領域109、および領域端が浮遊ゲート103端と自己整合となっているドレイン領域110とが形成されている。次に、上記SISOSセルの動作を説明する。

【0004】 書き込み時、選択ゲート108にはしきい値程度の電圧例えば1.5Vを印加し、制御ゲート105にはプログラム電圧例えば12Vを印加し、ドレイン110には電源電圧例えば5Vを印加することで、ホットエレクトロンをソース側から浮遊ゲートへと注入する。

【0005】 消去時、選択ゲート108と制御ゲート105は接地し、ソース109はオープン状態とし、ドレイン110に消去電圧例えば12Vを印加することで、浮遊ゲート103から電子をドレイン拡散層110へとF-Nトンネルにより引き抜く。

【0006】 読み出し時、選択ゲート108と制御ゲート105には例えば5Vを印加し、ドレイン110には読み出し電圧例えば1Vを印加して、チャネル電流の有無を調べることで行う。図2(b)は従来のパターン平面図である。この図2(b)中のa-a線は図2(a)の断面部を示している。

【0007】 図2(b)に示すように、基板上にはSISOSセルが複数個マトリクス状に配置されている。ソース領域109は行(ロウ)方向に連なって形成され、行方向に隣接するメモリセルで共通化されている。制御ゲートは105はソース領域109と同一方向に並んで設けられ、同一行のメモリセルで共通化されている。選択ゲート108は制御ゲート105と同一方向に並んで設けられ、同一行のメモリセルで共通化されている。ドレイン領域110は列(カラム)方向、即ち、ソース領域109と交わる方向に並んで設けられ、ドレイン・コンタクト孔111を介してドレイン配線(ビット線)112に電気的に接続されている。ドレイン配線112は同一列のメモリセルで共通化されている。参照符号113は、ソース・コンタクト孔を示しており、ソース配線114はソース・コンタクト孔113を介してソース領域109に電気的に接続されている。

【0008】 マトリクス状に配置されたSISOSセルの書き込み・消去・読み出しの選択は、制御ゲート10

(3)

3

5の1本、選択ゲート108の1本、ドレイン配線112の1本をそれぞれ選択することにより行う。次に、SISOSセルの製造方法を図3(a)～(e)を参照して説明する。図3(a)～(e)はそれぞれ、SISOSセルを主要な製造工程毎に示した断面図である。

【0009】まず、図3(a)に示すように、結晶方位(100)のP型シリコン基板101(抵抗: $10\Omega\cdot\text{cm}$)上に、通常のLOCOS法によってフィールド酸化膜(図示せず)を形成し、このフィールド酸化膜で囲まれた部分を素子領域とする。続いて、このシリコン基板101の表面に熱酸化法によって犠牲酸化膜120を約100オングストロームの厚みで形成する。続いて、この犠牲酸化膜120を通して、しきい値制御用のチャネルイオン121の注入を行う。

【0010】次に、図3(b)に示すように、犠牲酸化膜120を NH_4F 液を用いてエッチング除去し、熱酸化法によって第1ゲート酸化膜102を約100オングストロームの厚みで形成する。続いて、この第1ゲート酸化膜102上にLPCVD法をによって第1ポリシリコン層103を約1000オングストロームの厚みで堆積する。そしてこの第1ポリシリコン層103内へ、 POCl_3 の気相拡散法によってリンを拡散する。更に、所定のレジストパターニングおよびエッチングを行い、第1ポリシリコン層103にセル毎に浮遊ゲートを分離するためのセルスリット(図示せず)を形成する。そして熱酸化法によって層間ポリシリコン酸化膜104を約300オングストロームの厚みで形成する。続いて、この層間ポリシリコン酸化膜104上に、LPCVD法によって第2ポリシリコン層105を約4000オングストロームの厚みで堆積する。そしてこの第2ポリシリコン層105内へ、 POCl_3 の気相拡散法によってリンを拡散する。

【0011】次に、図3(c)に示すように、第1ポリシリコン層103、層間ポリシリコン酸化膜104、および第2ポリシリコン層105の各層に対して、レジストパターニングおよび異方性エッチングを行い、セルとして必要な部分のみを残す。更にレジストパターニングを行った後、ヒ素イオンを 40KeV 、 $7\times 10^{15}\text{cm}^{-2}$ 、リンイオンを 40KeV 、 $1\times 10^{14}\text{cm}^{-2}$ の条件でシリコン基板101表面にイオン注入し、第1不純物領域110を形成する。続いて、熱酸化法によって厚み300オングストロームの第2ゲート酸化膜107および厚み600オングストロームの側壁ポリシリコン酸化膜410を同時に形成する。更に、LPCVD法によって第3ポリシリコン層108を堆積し、これにリンを熱拡散する。

【0012】次に、図3(d)に示すように、第3ポリシリコン層108を全面異方性エッチングによってエッチング除去し、第1ポリシリコン層103および第2ポリシリコン層105の積層部分の側壁にあたる第3ポリ

4

シリコン層108a、108bの部分のみを残す。

【0013】次に、図3(e)に示すように、第3ポリシリコン層108bは、レジストパターニングとポリシリコンエッチングによって除去する。続いて、レジストパターニングを行った後、ヒ素イオンを 40KeV 、 $5\times 10^{15}\text{cm}^{-2}$ の条件でシリコン基板101表面にイオン注入し、第2不純物領域109を形成する。なお、以上の工程における熱処理により、第1不純物領域110の不純物が熱拡散し、第1不純物領域110はゲートの方向に伸びる。

【0014】この後、特に図示しないが、よく知られているように、層間絶縁膜の堆積、コンタクト孔の開孔、アルミニウム配線層の堆積およびパターニング、保護層の堆積等の諸工程を経てSISOS型のEEPROMセルを具備した不揮発性半導体記憶装置が完成する。

【0015】

【発明が解決しようとする課題】しかしながら、上記構成の不揮発性半導体記憶装置であると、浮遊ゲート103および制御ゲート105で構成されるスタックト・ゲート部が、ソース・コンタクト孔113の部分でカーブする。このため、スタックト・ゲート部に対して自己整合的に形成される側壁ゲート(選択ゲート108)が、上記カーブ部に合わせてカーブするようになり、側壁ゲートのオープン不良、および抵抗値のバラツキ等の問題が発生する。このため、記憶装置の信頼性を低下させたり、また、ソース・コンタクト孔113は、その平面的な面積が大きいため、記憶装置の高集積化を妨げる、という問題点があった。

【0016】この発明は、上記のような点に鑑みて為されたもので、その目的は、チップ・サイズを縮小でき、かつ側壁ゲートのオープン不良の低減、及び抵抗値のバラツキのないSISOS型セルを具備する不揮発性半導体記憶装置を提供することにある。

【0017】

【課題を解決するための手段】この発明に係わる不揮発性半導体記憶装置は、SISOS型セルが複数個、ロウ方向およびカラム方向にマトリクス状に配置されているメモリセルアレイを持つ。そして、このメモリセルアレイ内に、ロウ方向に配置されたメモリセルでおのおの共通化されて形成されたソース領域と、ロウ方向に配置されたメモリセルでおのおの共通化されて直線状に形成された制御ゲートと、ロウ方向に配置されたメモリセルでおのおの共通化されて直線状に形成された選択ゲートと、第1のコンタクト孔群を介してセルのドレイン領域に電氣的に接続され、且つカラム方向に配置されたメモリセルでおのおの共通化されて形成されたドレイン配線群と、第1のコンタクト孔群により挟まれた領域に形成された第2導電型の半導体領域と、第2のコンタクト孔を介して半導体領域に電氣的に接続されたソース配線と、ソース領域と前記半導体領域とを電氣的に接続す

(4)

5

る、前記制御ゲート、前記浮遊ゲートおよび前記選択ゲートとで構成される電界効果トランジスタとを具備することを特徴としている。

【0018】

【作用】上記構成の不揮発性半導体記憶装置によれば、ソース・コンタクトとしての第2のコンタクト孔を、ドレイン・コンタクトとしての第1のコンタクト孔群と同一直線上に並べて形成することができる。このため、従来、ソース・コンタクトの部分におけるスタック・ゲート部のカーブ部を解消でき、特に選択ゲートを直線状のままで形成することができる。よって、選択ゲートのオープン不良、および抵抗値のバラツキの問題を抑制することができ、記憶装置の信頼性が向上するようになる。また、ソース・コンタクトとしての第2のコンタクト孔を、ドレイン・コンタクトとしての第1のコンタクト孔群と同一直線上に並べて形成すると、ソース領域において、コンタクト孔形成のための余裕部分を設ける必要が無くなる。このため、セルの集積度向上や、チップ・サイズの縮小が可能である。

【0019】

【実施例】以下、この発明を一実施例により説明する。この説明において、全図にわたり同一の部分には同一の参照符号を付すことで重複する説明は避けることにする。

【0020】図1はこの発明の一実施例に係わるSISOS型EEPROMセルを具備する不揮発性半導体記憶装置を示す図で、(a)はパターン平面図、(b)は

(a) 図中のb-b線に沿う断面図、(c)は(a)図中のc-c線に沿う断面図である。

【0021】まず図1(b)に示すように、P型シリコン基板1の表面上には第1の酸化膜(ゲート酸化膜)2が形成されている。この第1の酸化膜2上には浮遊ゲート3が形成されている。この浮遊ゲート3上には第2の酸化膜4が形成されている。この第2の酸化膜4上にはソース側およびドレイン側のゲート端がそれぞれ浮遊ゲート3と自己整合となっている制御ゲート5が形成されている。浮遊ゲート3および制御ゲート5のソース側の側壁には第3の酸化膜6が形成され、また基板1の表面上には第4の酸化膜7が形成されている。これら第3の酸化膜6および第4の酸化膜7上には、ゲート端が浮遊ゲート3と自己整合となっている選択ゲート8が形成されている。基板1内には、領域端が選択ゲート8端と自己整合となっているソース領域9、および領域端が浮遊ゲート3端と自己整合となっているドレイン領域10とが形成されている。

【0022】図1(a)に示すように、基板上には図1(b)に示すメモリセルが複数個マトリクス状に配置されている。ソース領域9は行(縦)方向に連なって形成され、行方向に隣接するメモリセルで共通化されている。制御ゲート5はソース領域9と同一方向に並んで

6

設けられ、同一行のメモリセルで共通化されている。選択ゲート8は制御ゲート5と同一方向に並んで設けられ、同一行のメモリセルで共通化されている。ドレイン領域10は列(カラム)方向、即ち、ソース領域9と交わる方向に並んで設けられ、ドレイン・コンタクト孔11を介してドレイン配線(ビット線)12に電氣的に接続されている。ドレイン配線12は同一列のメモリセルで共通化されている。そして、ドレイン・コンタクト孔11により挟まれた領域にはN型不純物拡散層15が形成されている。拡散層15の平面パターンは、ドレイン領域10のそれとほぼ同一形状である。拡散層15はソース・コンタクト孔16を介してソース配線14に接続されている。このソース配線14はドレイン配線12と同一方向に並んで設けられている。拡散層15は、図1(c)に示す断面構造を有するトランジスタ(以下セルタイプトランジスタと称す)を介してソース領域9と電氣的に接続されている。

【0023】図1(c)に示すように、セルタイプトランジスタは、図1(b)に示すメモリセルと類似した構造となっている。しかし、セルタイプトランジスタがエンハンスメント型となると、ソースレベルの浮き上がりが生ずることがあるため、浮遊ゲート3に電子が注入された状態であっても、デプレッション型となるようにしてソースレベルの浮き上がりを防止している。

【0024】セルタイプトランジスタをデプレッション型とする例としては、図1(c)に示すように、セルタイプトランジスタのチャネル領域にN型不純物を注入して、N型不純物注入層17を形成して、さらにスタックト・ゲート部の両側に存在する基板1の表面にN型不純物を注入してN型不純物注入層15および18を形成して、その後の熱処理によりチャネルの中に押し込む。また、チャネル領域へのN型不純物注入層17の形成工程は、周辺回路部のデプレッション型トランジスタへの不純物注入工程と同時に行うことができ、また、スタックト・ゲート部の両側に存在するN型不純物注入層15、18の形成工程は、セルのドレイン領域への不純物注入工程と同時に行うことができる。このため、セルタイプトランジスタを作り込むことによる製造工程の増加はない。

【0025】上記構成の不揮発性半導体記憶装置であると、ソース・コンタクト孔16が、ドレイン・コンタクト孔11と同一直線上に並んで形成されており、浮遊ゲート3および制御ゲート5で成るスタックト・ゲート部が直線状に形成されている。選択ゲート8の形状は、直線状のスタックト・ゲート部の側壁に自己整合で形成されるために直線状となる。直線状の選択ゲート8はオープン不良を発生しにくく、また、断面積の変化等も解消されるので抵抗値のバラツキも無くなる。従って、記憶装置の信頼性を向上させることができる。ソース・コンタクト孔16は、制御ゲート8、8相互間の領域に、ド

(5)

レイン・コンタクト孔11と同一直線上に並んで形成されており、ソース領域9においては、コンタクト孔形成のための余裕部分がなくなっている。このように上記実施例では、メモセルをセルアレイ領域に効率良く配置でき、従って、セルの集積度向上や、チップ・サイズの縮小を実現できる。

【0026】

【発明の効果】以上説明したように、この発明によれば、チップ・サイズを縮小でき、かつ側壁ゲートのオープン不良の低減、及び抵抗値のバラツキのないSISOS型セルを具備する不揮発性半導体記憶装置を提供することにある。

【図面の簡単な説明】

【図1】図1はこの発明の一実施例に係わる不揮発性半導体記憶装置を示す図で、(a)はパターン平面図、

(b)は(a)図中のb-b線に沿う断面図、(c)は(a)図中のc-c線に沿う断面図。

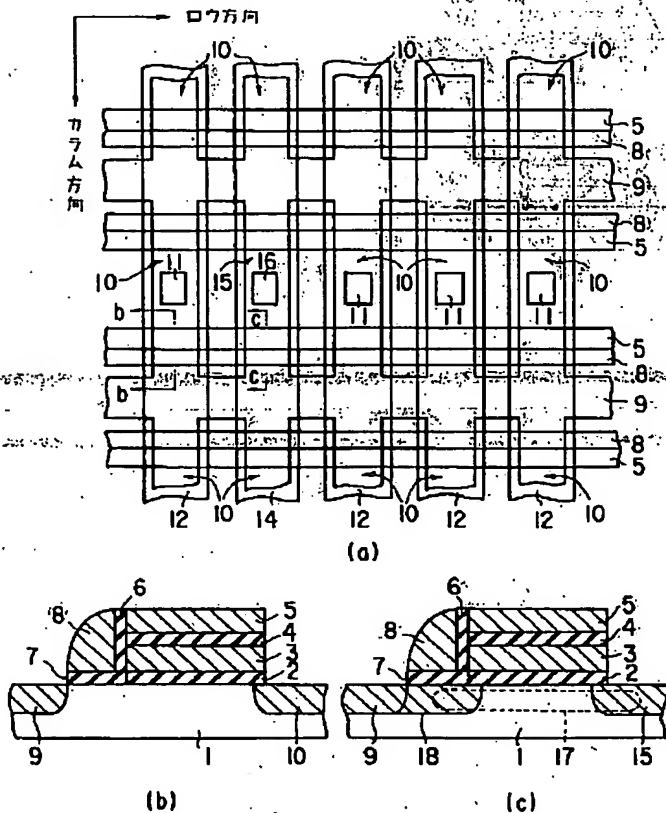
【図2】図2は従来の不揮発性半導体記憶装置を示す図で、(a)は断面図、(b)はパターン平面図。

【図3】図3はSISOS型のセルの製造方法を示す図で、(a)～(e)はそれぞれ主要な工程毎の断面図。

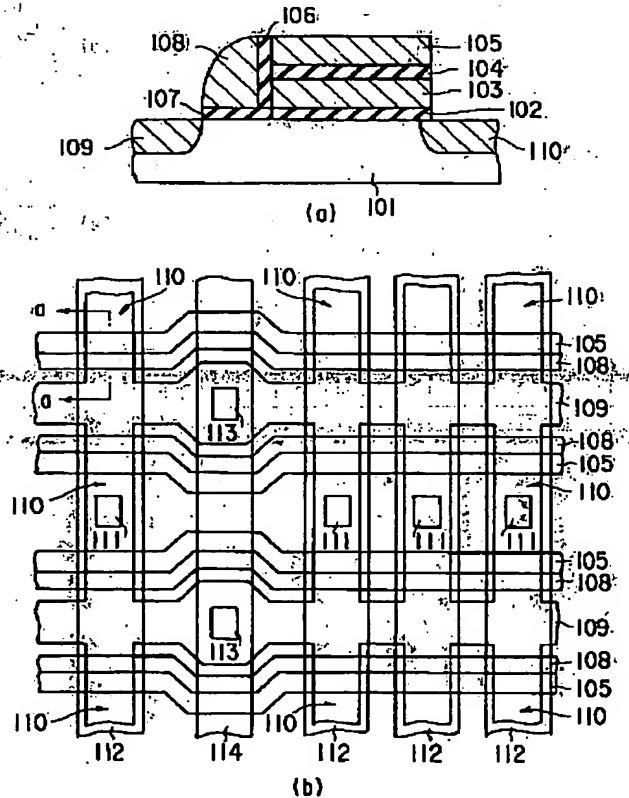
【符号の説明】

1…P型シリコン基板、2…第1の酸化膜(ゲート酸化膜)、3…浮遊ゲート、4…第2の酸化膜、5…制御ゲート、6…第3の酸化膜、7…第4の酸化膜、8…選択ゲート(側壁ゲート)、9…ソース領域、10…ドレイン領域、11…ドレイン・コンタクト孔、12…ドレイン配線(ビット線)、14…ソース配線、15…N型不純物注入層、16…ソース・コンタクト孔、17…N型不純物注入層、18…N型不純物注入層

【図1】

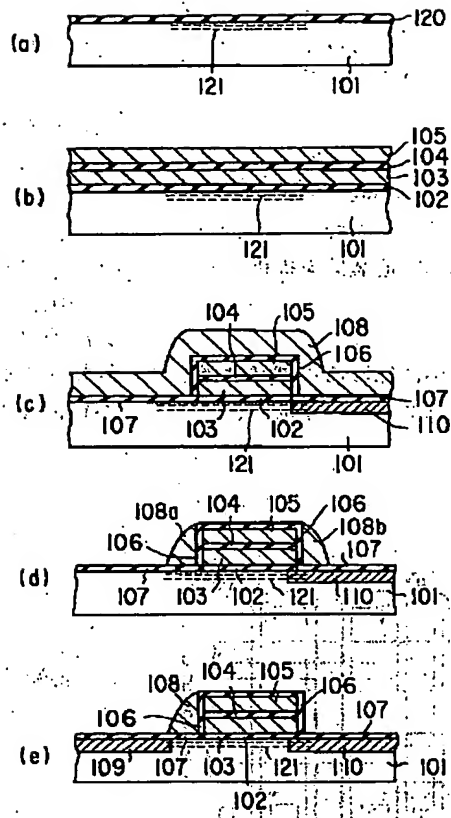


【図2】



(6)

【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.